



(19) BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

(12) **Offenl gungsschrift**
(10) **DE 100 22 767 A 1**

(51) Int. Cl.⁷:
H 01 L 23/58
H 01 L 21/66
G 11 C 5/14
H 01 L 23/525
G 01 R 31/28

(21) Aktenzeichen: 100 22 767.8
(22) Anmeldetag: 10. 5. 2000
(43) Offenlegungstag: 22. 11. 2001

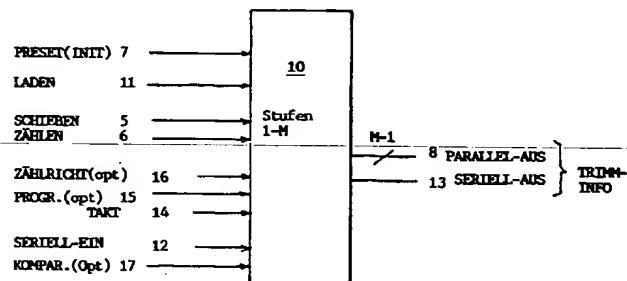
(71) Anmelder:
Infineon Technologies AG, 81669 München, DE
(74) Vertreter:
Patentanwälte MÜLLER & HOFFMANN, 81667 München

(72) Erfinder:
Krause, Gunnar, 81541 München, DE; Spirkl, Wolfgang, Dr., 82110 Germering, DE
(56) Entgegenhaltungen:
DE 199 60 244 C1

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen
Prüfungsantrag gem. § 44 PatG ist gestellt

(54) Adressgenerator zur Erzeugung von Adressen für eine On-Chip Trimmschaltung

(57) Die Erfindung betrifft einen Adressgenerator zur Erzeugung von Adressen für eine On-Chip-Trimmschaltung zur Abstimmung einer auf einem Halbleiterchip erzeugten Referenzspannung, der dadurch gekennzeichnet ist, dass der Adressgenerator (10) eine bestimmte Anzahl (M) von aus jeweils einem Speicherlatch bestehenden Stufen (1, 2, 3, ..., M) aufweist, die auf ein einem Steuereingang (5, 6) des Adressgenerators (10) zugeführtes Steuersignal und auf einem Takteingang (14) desselben angelegtes Taktsignal wahlweise als synchroner Zähler oder als Schieberegister betreibbar sind, wobei M gleich oder größer als 1 ist.



DE 100 22 767 A 1

DE 100 22 767 A 1

Beschreibung

[0001] Die Erfindung betrifft einen Adressgenerator zur Erzeugung von Adressen für eine On-Chip Trimmschaltung, die zur Abstimmung von auf einem Halbleiterchip erzeugten Referenzspannungen dient.

[0002] Die am 14.12.1999 angemeldete DE 199 60 244.1 des vorliegenden Anmelders beschreibt eine Anordnung zum Trimen von Referenzspannungen in Halbleiterchips.

[0003] Insbesondere bei integrierten Speicherbausteinen, z. B. DRAMs, müssen auf dem Chip befindliche Spannungsgeneratoren in ihrer aufgrund von Fertigungstoleranzen schwankenden Sollspannung abgeglichen oder getrimmt werden. Zur Kalibrierung schlägt die zuvor genannte Patentanmeldung einen Adressgenerator auf dem Chip vor, der mit einer Trimmschaltung verbunden ist und die möglichen Kalibrierungsstufen durchzählt. Mit einem derartigen Adressgenerator sind elektrische "Fuses" verbunden, um die durch den Adressgenerator für die Trimmschaltung erzeugten Adressen bei Übereinstimmung der jeweiligen veränderten Referenzspannung mit einer von außen zugeführten Vergleichsspannung dauerhaft zu speichern, indem jeweils eine elektrische Fuse entsprechend der endgültigen Adressinformation geschlossen oder nicht geschlossen wird.

[0004] Allgemein ist es bei hochintegrierten Halbleiterschaltungen, wie z. B. bei einem 256M SDRAM erforderlich, die von einer Funktionseinheit benötigte Fläche auf dem Halbleiterchip möglichst klein zu halten und die Anzahl der Steuerleitungen zu reduzieren.

[0005] Es ist deshalb Aufgabe der Erfindung, einen derartigen Adressgenerator so zu ermöglichen, dass die von ihm benötigte Fläche auf dem Halbleiterchip optimiert, die Anzahl der Steuerleitungen reduziert und außerdem ein möglichst flexibles, an unterschiedliche funktionelle Anforderungen anpassbares Schaltungsdesign erzielt wird.

[0006] Diese Aufgabe wird anspruchsgemäß gelöst.

[0007] Gemäß einem wesentlichen Aspekt weist ein erfindungsgemäßer Adressgenerator eine bestimmte Anzahl von aus jeweils einem Speicherlatch bestehenden Stufen auf. Dabei ist jedes Latch als flankengesteuertes Flip-Flop ausgeführt, wie es in synchronen Zählern Verwendung findet. Auf die Zufuhr eines Taktsignals zu einem Takteingang und eines Steuersignals kann der Adressgenerator wahlweise als Zähler oder als Schieberegister betrieben werden. Die Anzahl der Stufen ist mindestens gleich 1.

[0008] Die Stufen des Adressgenerators weisen jeweils eine der zuvor erwähnten elektrischen Fuses auf. Jedes Speicherlatch weist MOS-Transistoren auf, um die den elektrischen Fuses zuzuführende Adressinformation an den CMOS-Pegel anzupassen.

[0009] Die Speicherlatches haben einen gemeinsamen Initialisierungseingang und einen Ladeeingang und sind derart eingerichtet, dass ein am Ladeeingang angelegtes Signal nur bei jeweils intakten (oder geschossenen) Fuses die Latchinformation in den zum Initialisierungswert komplementären Wert bringt.

[0010] In bevorzugter Weiterbildung kann der Adressgenerator um folgende weitere Funktionen ergänzt werden:

- Der Adressgenerator kann einen seriellen Eingang und einen seriellen Ausgang zum Auslesen des Zählerstands bzw. der Fuseinformation aufweisen;
- der Adressgenerator kann weiterhin Rückkopplungsglieder aufweisen, die den seriellen Ausgang wahlweise zum seriellen Eingang zurückkoppeln;
- Durch die Rückkopplung des seriellen Ausgangs auf den seriellen Eingang kann der Zählerstand bzw. die Fuseinformation nicht zerstörend am seriellen Aus-

gang ausgelesen werden. Andererseits kann andere, z. B. Testinformation an den seriellen Eingang angelegt und taktgesteuert in den Adressgenerator übernommen werden;

- es kann weiterhin ein Programmereingang am Adressgenerator vorgesehen sein, um mit der in den Speicherlatches vorhandenen Information die Fuses bitweise zu programmieren;

- außerdem kann ein Vorwärts-Rückwärts-Wahleingang zur Wahl der Zählrichtung des Zählers bzw. der Schieberichtung des Schieberegisters des Adressgenerators vorgesehen sein;

- das Schieberegister des Adressgenerators kann um ein weiteres Speicherlatch (1 Bit) erweitert werden, in welches ein momentanes (JA/NEIN) Vergleichsergebnis eines Spannungskomparators speicherbar ist, der die momentane von der Trimmschaltung erzeugte Spannung mit einer externen Vergleichsspannung vergleicht. Das in dem zusätzlichen Speicherelement eingespeicherte Vergleichsergebnis kann dann zusammen mit dem generierten Adressenwert am seriellen Ausgang ausgegeben werden.

[0011] Vorteilhafterweise optimiert der erfindungsgemäße Adressgenerator die benötigte Fläche auf dem Halbleiterchip und reduziert die Anzahl der Steuerleitungen. Insbesondere wird die Anzahl der Ausgabeleitungen an eine externe Testeinrichtung auf 1 gesenkt. Ferner ist der erfindungsgemäße Adressgenerator durch die optionell vorgeschlagenen Erweiterungen in optimaler Weise an unterschiedliche funktionelle Anforderungen anpassbar.

[0012] Nachstehend wird ein derzeit bevorzugtes Ausführungsbeispiel des Adressgenerators bezogen auf die Zeichnung näher beschrieben.

[0013] Die Figuren zeigen im einzelnen:

[0014] Fig. 1 den Schaltungsblock "Adressgenerator" für M Bit mit den erfindungsgemäß erforderlichen und den für eine erweiterte Funktionalität vorgesehenen weiteren Ein-Ausgabe-, Programmier- und Steuerleitungen;

[0015] Fig. 2 ein funktionell aufgelöstes Blockschaltbild einer Speicher/Registerstufe (1 Bit) des in Fig. 1 dargestellten Adressgenerators, und

[0016] Fig. 3 eine MOS-Schaltung aufweisende Schaltung, die eine bevorzugte Implementierung einer Speicher- oder Registerstufe des Adressgenerators der Erfindung veranschaulicht;

[0017] Fig. 4 ein Signal-Zeitdiagramm für den Testbetrieb der MOS-Latchschaltung gem. Fig. 3 und

[0018] Fig. 5 Signalzustände am Ausgang der Speicherstufe.

[0019] Fig. 1 zeigt einen Schaltungsblock eines bevorzugten Ausführungsbeispiels eines erfindungsgemäßen Adressgenerators, der allgemein mit der Bezugszahl 10 bezeichnet ist.

[0020] Der Adressgenerator 10 in Fig. 1 ist für M Bit ausgelegt und enthält somit M Speicher- oder Registerstufen, die jeweils aus einem MOS-Speicherlatch (s. Fig. 3) bestehen.

[0021] Auf einem "Preset"-Eingang 7 zugeführtes Initialisiersignal wird die einem parallelen Eingang 11 zugeführte parallele Lade- oder Fuseinformation bei Gegenwart eines an einem Takteingang 14 anliegenden Taktsignals "Takt" in die Speicherlatches des Adressgenerators 10 übernommen.

[0022] Mit einem an einem Eingang 6 anliegenden Zählsignal "Zählen" wird der Adressgenerators 10 nach Art eines Zählers betrieben und zählt bei jedem Takt signal am Takteingang 14 in Übereinstimmung mit einem Zählrichtungssi-

gnal 16 vorwärts oder rückwärts. Mit einem an einem Eingang 5 anliegenden Signal "Schieben" ist der Adressgenerator 10 als Schieberegister betreibbar.

[0023] Zu der obigen Beschreibung ist zu erwähnen, dass der Adressgenerator elektrische Fuses enthält und die am Ladeeingang 11 parallel anliegende Fuseinformation die einzelnen Bits des Adressgenerators 10 nur bei jeweils intakten (oder alternativ nur bei jeweils geschossenen) Fuses in den komplementären Zustand zum Initialisierungswert bringt.

[0024] Die elektrischen Fuses können Polysiliziumbrücken, Gateoxidbrücken, Wolfram-, Aluminium-, oder andere Metallbrücken sein.

[0025] Die durch den Adressgenerator 10 generierte Adresse liegt einem Parallelausgang 8 an, der mit der erwähnten Trimschaltung verbunden oder verbindbar ist.

[0026] Weiterhin weist der Adressgenerator 10 zum Test optionell einen seriellen Eingang 12 und einen seriellen Ausgang 13 auf, mit dem der Zählerstand bzw. die Fuseinformation des Adressgenerators seriell auslesbar ist. Dies kann nicht zerstörend durch Rückkopplung des seriellen Ausgangs 13 auf den seriellen Eingang 12 durch in Fig. 1 nicht dargestellte Rückkopplungsglieder oder zerstörend geschehen, indem andere (Test-) Information auf den seriellen Eingang gegeben wird.

[0027] Der Adressgenerator 10 ist außerdem durch einen Programmereingang 15 erweiterbar, der die in den Speicherlatches des Adressgenerators 10 vorhandene Information bitweise zur Programmierung der entsprechenden Fuses verwendet.

[0028] Weiterhin kann der Adressgenerator 10 um ein zusätzliches Speicherlatch 20 erweitert werden, in welches das an einem Eingang 17 anliegende Signal eines (nicht gezeigten) Spannungskomparators (vgl. DE 199 16 244.1) übernommen werden und seriell mit dem Adressenwert ausgegeben werden kann.

[0029] Fig. 2 zeigt in Form eines Blockschaltbilds eine Speicherstufe 101 des in Fig. 1 dargestellten Adressgenerators 10. Hier fallen der serielle und der parallele Ausgang zusammen.

[0030] Die bei dem Zählvorgang des Adressgenerators 10 auftretenden Überträge liegen über ein logisches NAND-Glied 103 der Speicherstufe 101 des Adressgenerators 10 an.

[0031] Rückkopplungsglieder 22, 23 dienen dazu, die am Ausgang 13 anliegende Information zum seriellen Eingang zurückzukoppeln. Die vom (seriellen) Ausgang 13 über die Rückkopplungsglieder 22-und-23 zurückgekoppelte Information, die mit dem NAND-Glied 103 kombinierten Überträge und der serielle Eingang 12 werden durch einen Multiplexer 102 gemultiplext.

[0032] In Fig. 3 ist eine derzeit bevorzugte Implementierung einer Speicherlatchstufe 101 gemäß Fig. 2 dargestellt.

[0033] Die Speicherlatchstufe 101 weist MOS-Transistoren 110, 111, 112 und 113 sowie ein Invertierglied 114 auf. Die Eingangsinformation "IN", die am Ausgang des Multiplexers 102 gemäß Fig. 2 anliegt, wird über ein Transfergate 115 eingegeben, das von dem am Takteingang 14 anliegenden Taktsignal "CLK, CLK-INV" durchgeschaltet bzw. gesperrt wird. Gleichermaßen wird die vom Speicherlatch 101 gebildete Ausgangsinformation von einem weiteren Transfergate 116, das ebenfalls vom Taktsignal "CLK, CLK-INV" durchgeschaltet bzw. gesperrt wird, dem Ausgang über zwei Invertierglieder 120, 121 zugeführt. Der Ladeeingang 11 ist über einen MOS-Transistor 117 einer elektrischen Fuse 105 angelegbar.

[0034] In Fig. 4 ist ein Signal-Zeitdiagramm für den Testbetrieb der in Fig. 3 gezeigten MOS-Latchschaltung darge-

stellt, während Fig. 5 eine Wahrheitstabelle der Signalzustände der in Fig. 3 gezeigten MOS-Latchschaltung abhängig davon darstellt, ob die elektrische Fuse 105 geschlossen ist oder nicht.

Patentansprüche

1. Adressgenerator zur Erzeugung von Adressen für eine On-Chip-Trimschaltung zur Abstimmung einer auf einem Halbleiterchip erzeugten Referenzspannung, dadurch gekennzeichnet, dass der Adressgenerator (10) eine bestimmte Anzahl M von aus jeweils einem Speicherlatch bestehenden Stufen (1, 2, 3, ..., M) aufweist, die auf einem Steuereingang (5, 6) des Adressgenerators (10) zugeführtes Steuersignal und auf einem Takteingang (14) desselben angelegtes Taktsignal wahlweise als synchroner Zähler oder als Schieberegister betreibbar sind, wobei M gleich oder größer als 1 ist.
2. Adressgenerator nach Anspruch 1, dadurch gekennzeichnet, dass der Adressgenerator (10) elektrische Fuses (105) aufweist, in denen eine vom Adressgenerator generierte Adresse für die Trimschaltung bei Übereinstimmung einer veränderlichen Referenzspannung des Chips mit einer von außen zugeführten Vergleichsspannung dauerhaft speicherbar ist, und dass die Speicherlatches des Adressgenerators MOS-Transistoren in einer zur Anpassung des Pegels der den elektrischen Fuses (105) zuführenden Adressinformation an den CMOS-Pegel eingerichteten Anordnung aufweist.
3. Adressgenerator nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass die Speicherlatches einen gemeinsamen Initialisierungseingang (7) und einen Ladeeingang (11) so aufweisen, dass ein am Ladeeingang angelegtes Signal nur bei jeweils intakter (oder geschlossener) Fuse (105) die jeweilige Latchinformation des Speicherlatches in den zum Initialisierungswert komplementären Wert bringt.
4. Adressgenerator nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass er weiterhin einen seriellen Eingang (12) und einen seriellen Ausgang (13) aufweist, um den Zählerstand bzw. die Fuseinformation seriell auszulesen.
5. Adressgenerator nach Anspruch 4, dadurch gekennzeichnet, dass er weiterhin Rückkopplungsglieder (22, 23) aufweist, die den seriellen Ausgang (13) wahlweise zum seriellen Eingang (12) zurückkoppeln.
6. Adressgenerator nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass er weiterhin einen Programmereingang (15) aufweist, um mit der in den Speicherlatches vorhandenen Information bitweise die jeweiligen Fuses zu programmieren.
7. Adressgenerator nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass weiterhin ein Zählrichtungswähleingang (16) vorgesehen ist.
8. Adressgenerator nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass er weiterhin ein zusätzliches Speicherlatch (20) aufweist, in welches ein momentanes (JA/NEIN) Vergleichsergebnis eines Spannungskomparators, der die momentan von der Trimschaltung erzeugte Spannung mit der externen Vergleichsspannung vergleicht, speicherbar und zusammen mit den generierten Adresswerten am seriellen Ausgang ausgebbar ist.

- Leerseite -

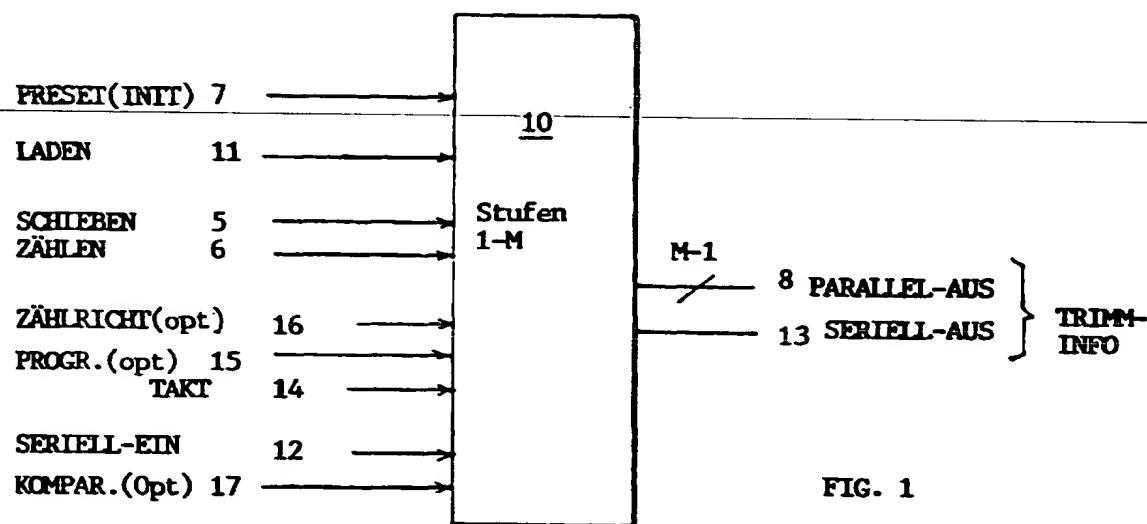


FIG. 1

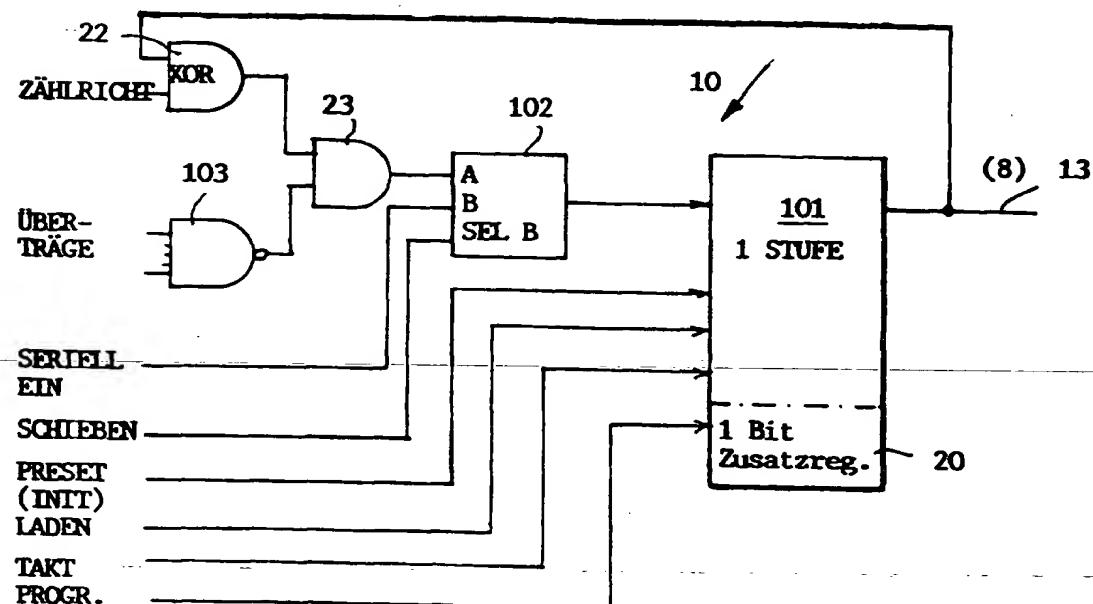
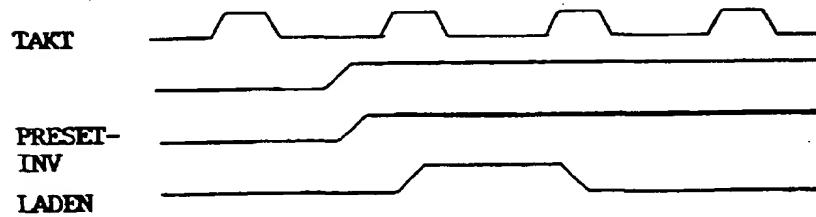
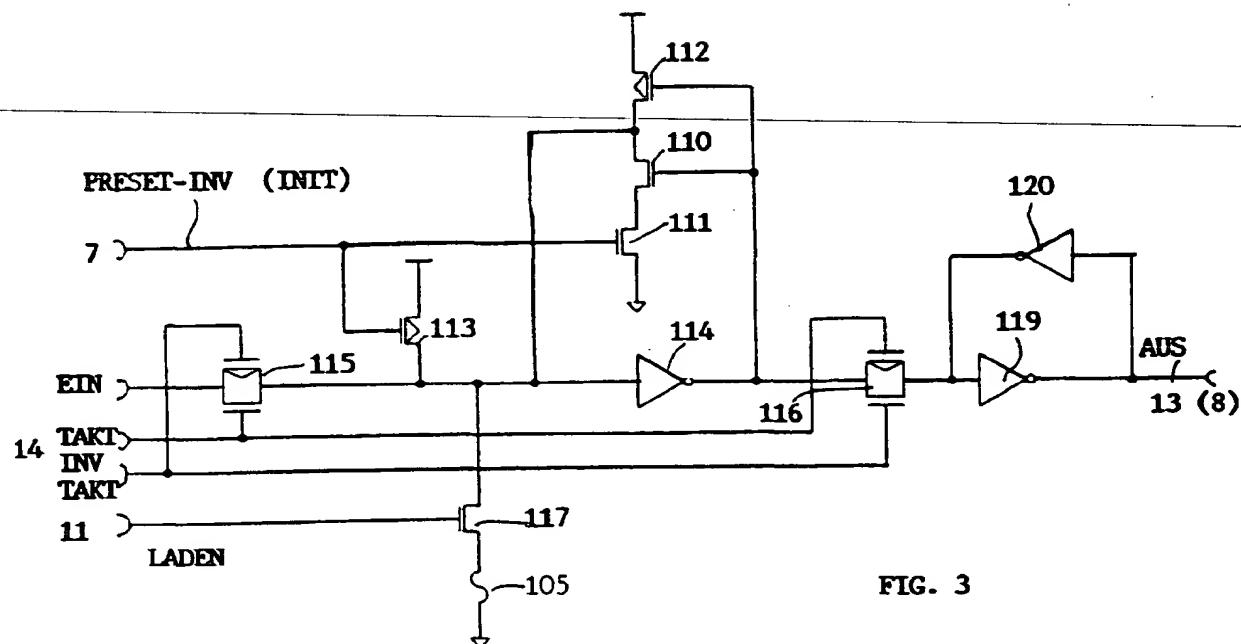


FIG. 2



Fuse	AUS 13 (8)
INTAKT	0
GESCHOSSEN	1

FIG. 5